

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020008108 A
(43)Date of publication of application: 29.01.2002

(21)Application number: 1020017006060
(22)Date of filing: 12.05.2001
(30)Priority: 13.11.1998 US1998
192164

(71)Applicant: ELECTROGLAS, INC.
TEXAS INSTRUMENTS
INCORPORATED

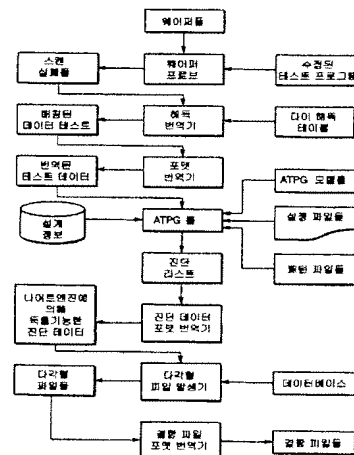
(72)Inventor: SMITH SHAWN
BALACHANDRAN HARI
PARKER JASON
WATTSBUTLER
STEPHANIE

(51)Int. Cl. G01R 31/28

(54) IC TEST SOFTWARE SYSTEM FOR MAPPING LOGICAL FUNCTIONAL TEST DATA OF LOGIC INTEGRATED CIRCUITS TO PHYSICAL REPRESENTATION

(57) Abstract:

The present invention, generally speaking, takes advantage of the foregoing capability to determine and display the X,Y location corresponding to a net name, by translating functional test data of a digital logic chip passed through a simulation model which identifies one or more defective nets on the chip. The defective nets are processed against a database of the foregoing type to obtain X,Y coordinate data on these nets, allowing them to be data logged as physical traces on the chip layout. In accordance with an exemplary embodiment, this



mapping is performed by taking the output from a functional tester and translating it (126) from a list of failed scan chains (124) into a list of suspected netlist nodes (129). The X,Y coordinates of suspected netlist nodes are then identified and stored in a database, providing failure analysis and yield enhancement engineers a starting point for performing failure analysis and for immediately understanding whether in-line inspection data can account for a given failure. These nodes may then be crossmapped from the circuit design onto the chips layout for each of multiple photomask layers within the design. Detailed failure data is gathered and stored at the wafer stage as part of a comprehensive program rather than on an as-needed basis at the packaged part stage. A voluminous amount of high-quality data is therefore obtained in an entirely automated fashion, as opposed to obtaining a comparatively minuscule amount of lesser quality data in an exceedingly laborious fashion.

copyright KIPO & WIPO 2007

Legal Status

Date of request for an examination (20021024)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20050922)

Patent registration number (1005279110000)

Date of registration (20051103)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
G01R 31/28

(11) 공개번호 특2002 - 0008108
(43) 공개일자 2002년01월29일

(21) 출원번호	10 - 2001 - 7006060		
(22) 출원일자	2001년05월12일		
번역문 제출일자	2001년05월12일		
(86) 국제출원번호	PCT/US1999/26735	(87) 국제공개번호	WO 2000/30119
(86) 국제출원출원일자	1999년11월12일	(87) 국제공개일자	2000년05월25일

(81) 지정국 국내특허 : 일본, 대한민국, 중국, 인도네시아,
 EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스,
 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀랜
 드, 사이프러스,

(30) 우선권주장 09/192,164 1998년11월13일 미국 (US)

(71) 출원인 일렉트로글라스, 인코포레이티드
 미국 캘리포니아 95138 새너제이 실버 크릭 밸리 로드 6024
 텍사스 인스트루먼트 인코포레이티드
 윌리엄 비. 챔플러
 미국 75251 텍사스주 달라스 메일 스테이션 3999 처칠 웨이 7839

(72) 발명자 스미스슨
 미국텍사스75746오스틴싸우스모팩2001아파트먼트2436
 발라찬드란하리
 미국텍사스75252달라스프랭크포트로드7432아파트먼트212
 파커제이슨
 미국텍사스75019코펠피년래인307
 와츠버틀러스테파니
 미국텍사스75082리차드슨파크드라이브원터4700

(74) 대리인 이영필
 권석흠

심사청구 : 없음

(54) 논리 집적 회로들의 논리적인 기능 테스트 데이터를물리적인 표시로 맵핑하기 위한 집적 회로 테스트 소프트웨어 시스템

요약

본 발명은, 일반적으로 칩의 하나 이상의 결합있는 네트들을 식별하는 시뮬레이션 모델을 통과하는 디지털 논리 칩의 기능 테스트 데이터를 번역함으로써, 네트 이름에 대응하는 X, Y 위치를 결정하고 디스플레이하는 이전의 능력을 일반적으로 이용한다. 상기 결합있는 네트들은 이들 네트들을 위한 X, Y 좌표 데이터를 획득하기 위하여 이전 형태의 데이터 베이스에 대해 처리되는데, 이것은 그들이 칩 레이아웃 상의 물리적인 트레이스로서 로그된 데이터가 되도록 허용한다. 예시적인 실시예에 의하면, 상기 맵핑은 기능 테스터로부터 출력을 취하고 그것(126)을 실패한 스캔 체인들(124)의 리스트로부터 의심스러운 네트리스트 노드들(129)의 리스트로 번역함으로써 수행된다. 그다음, 의심스러운 네트리스트 노드들의 X, Y 좌표들은 데이터 베이스에서 식별되고 저장되는데, 이것은 실패 분석과 수율 증대 엔지니어들에게 실패 분석을 수행하기 위한 시작점과 "인라인" 검사 데이터가 주어진 실패를 설명할 수 있는지에 대한 즉각적인 이해를 위한 시작점을 제공한다. 그다음 이들 노드들은 설계내의 각 다중 포토마스크 층을 위한 상기 칩의 레이아웃 상의 상기 회로 설계로부터 상호 맵핑될지도 모른다. 상세한 실패 데이터는, 필요되는 것을 기초로하여 패키징된 부분 단계에서 보다 포괄적인 프로그램의 부분으로서 웨이퍼 단계에서 수집되고 저장된다. 그러므로, 매우 힘든 방식으로 비교적 적은 양의 저품질 데이터를 획득하는 것과는 대조적으로, 많은 양의 고품질 데이터가 전반적으로 자동화된 방식으로 획득된다.

대표도
도 12

색인어
반도체, 집적회로, 테스트, 결합, 국소화, 실패, 분석, 진단, 웨이퍼

명세서

기술분야

본 발명은 집적 회로(IC: Integrated Circuit) 칩 테스트 소프트웨어 시스템들에 관한 것이다.

배경기술

디지털 반도체 칩들은 두개의 주요 범주들, 메모리 칩들 및 논리 칩들로 구분될 수 있다. 마이크로프로세서는 논리 칩의 일 예이다. 디지털 반도체 칩들은 정교한 소프트웨어 툴들을 사용하여 숙련된 칩 설계자들에 의해 설계된다. 이러한 칩들에 대한 테스트의 난이성으로 인하여, 테스트용 설계(Design For Test, 이하 DFT라 칭함)으로 알려진 분야가 나타났다. 어떤 DFT 기법은 다른 방법으로는 액세스할 수 없는 상기 칩의 일부를 쓰고 읽는데 사용될지도 모르는 하나의 이상의 "스캔 체인들(Scan chains)"을 상기 칩에 설계하는 것을 포함한다. 레이아웃 툴들은 칩 설계를 실리콘상에 배열하는데 사용된다. 상기 결과적인 칩 레이아웃은 네트리스트(Netlist), 즉, 하위-레벨 설계 셀들 및 그들간의 상호연결들의 형태로 표현될지도 모른다. 상기 칩 레이아웃은 또한 다각형들의 다중 층들을 나타내는 물리적 설계 파일의 형태로 표현될지도 모른다. 상기 디자인이 일단 완성되면, 상기 부분은 "테이프화"된다(즉, 상기 칩을 나타내는 파일들은 테이프 또는 디스크에 기록된다). 이러한 파일들을 위해 사용되는 하나의 포맷이 GDSII 포맷이다. 그 후 마스크 하우스는 포토마스크(Photomask)들이 상기 칩을 생산하는데 사용되도록 한다.

메모리 칩들 및 논리 칩들 양쪽 모두는 생산 모니터링 및 테스트를 필요로 한다. 생산 모니터링은 "인라인(In-line)" 검사 장비를 사용하여 수행되고, 생산 테스트는 "라인끝(End-of-line)" 테스트 장비를 사용하여 수행된다. 인라인 검사 장비는 전체 반도체 웨이퍼들을 검사하며, 상기 웨이퍼들 각각은 그 위에 수백개의 칩들이 형성될 지도 모른다. 라인끝 테스트 장비는 칩들의 패드들이 접촉하고 상기 칩들이 "시험운용" 되는 반도체 웨이퍼들에 대해 "빈소트(Binso rt) 기능 테스트"를 수행한다. 기능 테스트의 판정에서, 파트들은 상기 테스트 결과에 따라 (전형적으로, 전자 기록내에서 상이한 범주에 위치하여)"빈드(binned)"된다.

실패 분석은 생산 테스트와는 별개의 문제이다. 실패 분석은 상기 실패들이 생산(또는 시작품) 테스트중에 검출된 후에 특정 칩 디자인의 칩의 실패들의 원인을 확인하려 한다. 실패 분석은 전형적으로 단지 빈(Bin) 코드보다 더욱 상세한 실패 정보를 필요로 할지도 모른다. 상세한 실패 정보는 전형적으로 제한된 갯수의 패키징된 파트들을 재테스트함으로써 얻어진다.

메모리 칩들은, 메모리 셀들의 정규적 배열로서의 칩 구조때문에, 실패 분석에 용이하다. 메모리 칩은 상기 메모리 칩에 대해 일련의 읽기 및 쓰기 동작들을 수행함으로써 테스트될지도 모른다. 읽기/쓰기 테스트에서의 에러들은 상기 칩상에서 용이하게 식별할 수 있는 위치에서의 물리적 결함들과 유사하게 지적될지도 모른다. 대안적으로, 상기 메모리 칩 디자인은 내장형 자체 테스트(Built-in self-test, 이하 BIST라 칭함) 능력을 포함할지도 모른다. 어느 경우이나, 기능 테스트 결과들은 상기 메모리 칩상의 실패 위치들에 "비트맵(Bitmap)" 될 수 있다. 메모리 비트맵핑에서, 전기적인 실패들은 상기 다이(Die)상에서 상대적으로 작은 물리적 "트레이스(Trace)" 내에 모인다.

종래의 메모리 비트맵 테스트에 따른 공정 흐름이 도 1에 도해된다. 웨이퍼는 인라인 검사(우측 세로열) 및 라인끝 테스트(좌측 세로열) 양쪽 모두에 영향을 받는다. 인라인 검사는, 예를 들어, KLA 텐코(Tencor)로부터 이용가능한 KL A21xx 시리즈와 같은 광학 검사 장비를 사용하여 수행될지도 모른다. 인라인 검사들은 광학 결함 정보의 X, Y 위치를 포함하는 결함 파일들을 생성한다. 그 후 상기 정보는 임의의 편리한 포맷, 예를 들어, 나이트 테크놀로지(Knights Technology)인 본 양수인의 수율 관리자 툴에 의해 사용되는 포맷으로 출력될지도 모른다. 라인끝 테스트는, 간혹 자동 테스트 장비(Automatic Test Equipment, 이하 ATE라 칭함)로 불리우는 테스터를 사용하여 수행된다. 상기 테스터는 실패한 메모리 위치들을 식별한다. 이러한 정보는 X, Y 결함 위치들을 식별하기 위해 처리된다. 상기 X, Y 결함 정보는 또한 상기 수율 관리자 툴에 출력될지도 모른다. 인라인 및 라인끝 결함 정보는 상기 수율 관리자 툴내에서 동일한 포맷이기 때문에, 조합된 결함 오버레이가 획득되어, "킬러(Killer) 결함들" (파트가 기능하지 못하게 하는 결함들)이 식별될 수 있게 할지도 모른다. 특히, 만약 상기 결함 및 실패의 위치들이 일치하면, 상기 결함은 킬러 결함, 즉, 상기 실패의 직접적인 원인으로 추정될지도 모르며, 그렇다면 이 경우에 문제 해결은 상기 파트의 근원적인 디자인보다는 생산 공정에 초점을 맞출 것이다.

메모리 칩들에 대한 많은 시험가능성의 결과로, 반도체 생산 공장들 또는 웨이퍼 가공 공장들(Fabs)내에서의 수율 증대 조직들은, 주어진 세대의 기술을 디버그하기 위해 오랫동안 메모리 칩들에 의지해오고 있다. 수율 증대 엔지니어들은 전형적으로 생산 공정을 모니터링하기 위해 메모리 생산라인을 사용해 왔고 동일한 기법을 사용하여 논리적 생산품들의 생산라인들에서의 수율을 보증한다. 메모리 칩들의 수율 증대를 위해서, 인라인 결함 검사 툴들이 라인끝 기능 테스트 비트맵 결과들과 함께 사용되어 왔다. 메모리 비트맵 실패 데이터는 실패 범주들(예를 들어, 단일-비트 실패, 세로열 실패, 가로열 실패, 등)로 더 요약될지도 모른다.

메모리 실패들의 좌표가 주어지면, 실패 분석 엔지니어들은 상기 실패의 근본적인 원인을 식별하기 위해 다양한 "물리적 역공정(Deprocessing)" 방법을 사용할 수 있다. 상기 실패 범주에 근거하여, 엔지니어들은 상기 생산 공정에서 상기 실패가 어디에서 발생하였는지를 (예를 들어, 폴리실리콘층 증착 단계, 금속 1층 증착 단계, 등) 추정할 수 있다.

그러나, 근년에, 반도체 산업내에서 논리 생산품들의 마켓 웨어(Market share)가 크게 증가하여, 많은 신규 "논리-전문" 구성체들이 온-라인에 나타나게 하였다. 불행하게도, "메모리 라인 모니터"의 혜택없이, 논리 전문 웨이퍼 가공 공장들(fabs)은 상기 산업내에서 다년간 개발된 수율 증대 기법들의 장점을 완전히 취할 수 없다. 오늘날 상기 논리-전문 수율 증대 엔지니어는 메모리 생산품들을 운용하는 웨이퍼 가공 공장에서의 상대자들과 비교할 때 심각한 핸디캡을 안고있다. 지금까지, 칩 내에서 논리 영역을 "비트맵" 하기 위한 방안이 없었다. 더욱이, 논리 칩 기능 테스트 결

과들은 실패한 다이(Die) 내에서 실패의 물리적 좌표들에 대한 시작점을 제공하지 않는다.

가장 진보된 논리 칩 설계들은 스캔 테스트를 포함한다. 스캔 테스트는 칩의 상기 논리 자산을 기본적인 기능성에 대해 개별적으로 테스트될 수 있는 많은 이산 체인들로 나눈다. 스캔 테스트는 실패 신호들의 리스트가 식별될 수 있게 한다. 그러나, 주어진 다이에 대해 실패 신호들이 생성된 후일지라도, 각각의 실패 신호는 그것의 "논리의 침범" 내에 수백개의 트랜지스터들을 포함할지도 모르며, 보통 다중의 실패 신호들이 있기 때문에 상기 실패의 물리적 위치를 찾는 것은 여전히 가능하지 않다. 그러므로 종래의 논리 칩 수율 증대 기법들은 반도체 공정 이슈(issue)들을 예측하고 바로잡기 위해 빈소트 기능 테스트 결과들의 상호관계에 크게 의존한다. 상기 접근법은 여러가지 약점들을 가지는데, 특정 빈의 부산물을 의심되는 공정 레벨에 관련시키지 못함; 선-패키징 수율 이슈를 패키징 수율 이슈와 구별하지 못함; 및 실패한 다이의 커다란 개체군들 간의 명백한 링크를 설정하지 못하는 것을 포함한다.

실패 분석은 기지의 전기적 진단 공정을 사용할 수도 있는데, 의심되는 실패 네트들(Nets)의 진단 리스트는 도 2에 도시된 바와 같이 획득될지도 모른다. BIST(스캔) 능력들을 가지는 패키징된 장치들은 테스터를 사용하여 테스트된다. 스캔 실패 데이터는 자동 테스트 패턴 생성(Automatic Test Pattern Generation, 이하 ATPG라 칭함) 툴, 예를 들어, 상기 테스터에 의해 사용되는 테스트 패턴 파일들을 생성하기 위해 이전에 사용된 ATPG 툴에 의해 사용될 수 있는 포맷으로 번역된다. 상기 ATPG 툴은 의심되는 실패 노드들, 진단 리스트 형태에서의 출력(도 3)을 식별하기 위하여 상기 번역된 테스트 데이터를, 상기 테스트 패턴 파일들, 셋업 파일들, 하나 이상의 ATPG 진단 모델들, 및 디자인 데이터 베이스로부터의 디자인 정보와 함께 사용한다.

캐드(CAD) 네비게이션 툴들은 실패 분석에서 도움을 주기 위해 개발되어 왔다. 캐드 네비게이션은 회로 레이아웃 디스플레이내에서 포인트 및 클릭하고 이렇게 함으로써 자동적으로 초점 이온 빔(Focussed Ion Beam, 이하 FIB라 칭함) 장치와 같은 일종의 장치를 상기 칩상의 그 위치로 구동시키는 능력을 말한다. 캐드 네비게이션은 또한 사용자가 네트의 이름을 명기하도록 하여, 상응하는 레이아웃이 디스플레이되도록 한다. 하나의 이러한 캐드 네비게이션 툴이 양수인인 나이트 테크놀로지의 멀린 프레임워크 캐드(Merlin Framework CAD) 네비게이션 툴이다. 상기 툴은 네트리스트 정보, 레이아웃 정보, 및 상기 두개의 정보를 관련시키는 교차-참조 파일들을 취하고 효율적인 인덱싱 구조를 가지는 나이트-독점의 포맷으로 단일화된 데이터 베이스를 생성한다. 더욱 상세하게는 도 4를 참조하면, 이러한 나이트 데이터 베이스를 생성하는 절차가 보다 자세하게 도해된다. SPICE-포맷의 네트리스트는 (필요하다면) 적당한 네트리스트 포맷으로 변환된다. 도식적 검증(Schematic Verification) 데이터 베이스로부터의 데이터는 교차-참조 파일들, 교차-참조 네트명 및 수적 네트 식별자들을 획득하기 위하여 (필요하다면) 변환된다. 레이아웃 데이터는 (필요하다면) 적당한 다각형의 레이아웃 포맷으로 변환된다. M 맵퍼(Mapper) 루틴은 캐드 네비게이션용으로 적당한 데이터 베이스를 생성하기 위해 다음의 방법에서 상기 네트리스트, 교차-참조 파일들 및 다각형의 레이아웃 파일들을 사용한다.

발명의 상세한 설명

본 발명은, 일반적으로 칩의 하나 이상의 결함있는 네트들을 식별하는 시뮬레이션 모델을 통과하는 디지털 논리 칩의 기능 테스트 데이터를 번역함으로써, 네트 이름에 대응하는 X, Y 위치를 결정하고 디스플레이하는 이전의 능력을 일반적으로 이용한다. 상기 결함있는 네트들은 이들 네트들을 위한 X, Y 좌표 데이터를 획득하기 위하여 이전 형태의 데이터 베이스에 대해 처리되는데, 이것은 그들이 칩 레이아웃 상의 물리적인 트레이스로서 로그된 데이터가 되도록 허용한다. 예시적인 실시예에 의하면, 상기 맵퍼는 기능 테스터로부터 출력을 취하고 그것을 실패한 스캔 체인들의 리스트로부터 의심스러운 네트리스트 노드들의 리스트로 번역함으로써 수행된다. 그다음, 의심스러운 네트리스트 노드들의 X, Y 좌표들은 데이터 베이스에서 식별되고 저장되는데, 이것은 실패 분석과 수율 증대 엔지니어들에게 실패 분석을 수행하기 위한 시작점과 "인라인" 검사 데이터가 주어진 실패를 설명할 수 있는지에 대한 즉각적인 이해를 위한 시작점을

제공한다. 그다음 이들 노드들은 설계내의 각 다중 포토마스크 층을 위한 상기 칩의 레이아웃 상의 상기 회로 설계로부터 상호 맵핑될지도 모른다. 상세한 실패 데이터는, 필요되는 것을 기초로하여 패키징된 부분 단계에서 보다 포괄적인 프로그램의 부분으로서 웨이퍼 단계에서 수집되고 저장된다. 그러므로, 매우 힘든 방식으로 비교적 적은 양의 저품질 데이터를 획득하는 것과는 대조적으로, 많은 양의 고품질 데이터가 전반적으로 자동화된 방식으로 획득된다.

도면의 간단한 설명

도 1은 기지의 메모리 비트맵 프로세스 흐름의 블록도이다.

도 2는 기지의 전기적 진단 프로세스 흐름의 블록도이다.

도 3은 회로 분석 툴로부터 획득된 예시적인 네트/노드 리스트이다.

도 4는 CAD 네비게이션에 적합한 기지의 데이터 베이스가 생성되는 방법을 도해한 더 상세한 흐름도이다.

도 5는 본 발명에 의한 논리 맵 프로세스 흐름의 블록도이다.

도 6은 논리 맵 프로세스 흐름의 일반화된 표시이다.

도 7은 결함 데이터와 논리 - 맵핑된 실패 데이터의 오버레이의 확대도이다.

도 8은 킬러울 차트의 예이다.

도 9는 결함 강도 스택맵의 예이다.

도 10은 논리 맵 프로세스 흐름의 대안적인 표시이다.

도 11은 본 발명의 일실시예에 의한 논리 맵 시스템의 도면이다.

도 12는 논리 맵 프로세스의 일 특정 구현의 예를 이해하는데 유용한 더 상세한 순서도이다.

실시예

본 발명은, 일반적으로 칩의 하나 이상의 결함있는 네트들을 식별하는 시뮬레이션 모델을 통과하는 디지털 논리 칩의 기능 테스트 데이터를 번역함으로써, 네트 이름에 대응하는 X, Y 위치를 결정하고 디스플레이하는 이전의 능력을 일반적으로 이용한다. 상기 결함있는 네트들은 이들 네트들을 위한 X, Y 좌표 데이터를 획득하기 위하여 이전 형태의 데이터 베이스에 대해 처리되는데, 이것은 그들이 칩 레이아웃 상의 물리적인 트레이스로서 로그된 데이터가 되도록 허용한다. 예시적인 실시예에 의하면, 상기 맵핑은 기능 테스터로부터 출력을 취하고 그것을 실패한 스캔 체인들의 리스트로부터 의심스러운 네트리스트 노드들의 리스트로 번역함으로써 수행된다. 그다음, 의심스러운 네트리스트 노드들의 X, Y 좌표들은 데이터 베이스에서 식별되고 저장되는데, 이것은 실패 분석과 수율 증대 엔지니어들에게 실패 분석을 수행하기 위한 시작점과 "인라인" 검사 데이터가 주어진 실패를 설명할 수 있는지에 대한 즉각적인 이해를 위한 시작점을 제공한다. 그다음 이들 노드들은 설계내의 각 다중 포토마스크 층을 위한 상기 칩의 레이아웃 상의 상기 회로 설계로부터 상호 맵핑될지도 모른다. 상세한 실패 데이터는, 필요되는 것을 기초로하여 패키징된 부분 단계에서 보다 포괄적인 프로그램의 부분으로서 웨이퍼 단계에서 수집되고 저장된다. 그러므로, 매우 힘든 방식으로 비교적 적은 양의 저품질 데이터를 획득하는 것과는 대조적으로, 많은 양의 고품질 데이터가 전반적으로 자동화된 방식으로 획득된다.

이제 도 5를 참조하면, 논리 맵 프로세스에 의한 프로세스 흐름이 도시된다. 웨이퍼는 스캔 테스트 능력을 구비하는 것으로 가정된다. 인라인(in-line) 검사는 도 1과 관련하여 이전에 설명된 바와 같이 수행된다. 상기 웨이퍼가 논리 제품이고 메모리 제품이 아니기 때문에 줄끝(end-of-line) 테스트는 실질적으로 상이하다. 이하 더 상세히 설명되는 바와 같이, 줄끝 테스트는 "ATE 데이터로그"를 생성한다. 상기 ATE 데이터로그와 다른 정보를 사용하여, 그다음 진단 단계가 ATPG 툴을 사용하여 뒤따른다. 상기 진단 단계는 의심되는 실패 네트들의 진단 리스트를 생성한다. 상기 정보는 X, Y 결합 위치들을 식별하기 위하여 설계 정보와 함께 처리된다. 상기 X, Y 결합 정보는 또한, 어떤 바라던 포맷, 예를 들어, 수율 관리자 포맷으로 출력될지도 모른다. 인라인 및 줄끝 결합 정보가 동일한 포맷이기 때문에, 결합된 결합 오버레이가 획득될지도 모르는데, 이것은 킬러(killer) 결합들이 쉽게 식별되도록 허용한다.

실패 데이터의 논리 대 물리적 번역은, 여기에서 논리 맵으로서 지칭된 프로세스에 의해 달성된다. 논리 맵은 실패 네트 리스트 노드들의 상기 X, Y 좌표들이 발생되도록 허용한다. 상기 논리 맵 시스템에서의 데이터 흐름의 일반적인 표시가 도 6에 도시된다. 논리 맵은 웨이퍼-레벨 기능 테스트로부터 시작하는데, 그것은 기능 테스트 출력 파일을 생성한다(예를 들어, ASCII 파일). 일단 기능 테스트 출력 파일이 획득되었다면, 기지의 방법들이, 상기 기능 테스트 결과들을 후처리하고 그들을 설계 진단 모델로의 입력에 적합한 실패한 신호들의 리스트로 변환하는데 사용될지도 모른다. 다양한 상업적인 회로 분석 툴들은 설계 진단 모델링을 제공한다. 한가지 이러한 툴은 멘토 그래픽스(Mentor Graphics)의 고속스캔(FastScan) 회로 분석 툴이다.

상기 변환된 기능 테스트 출력 파일은 회로 분석 툴에 입력된다. 상기 회로 분석 툴의 기능은 의심되는 실패 네트들의 리스트를 생성하는 것이다. 이러한 리스트의 예가 도 3에 도시된다.

상기 의심되는 네트리스트 벡터들이 실패 위치들을 식별하는 정밀도는 상기 설계 진단 모델 또는 시뮬레이션 모델의 타당성에 의존한다. 상기 회로 설계자의 입력은 설계의 정확하고 효율적인 모델을 확립하는데 필요하다. 몇몇 경우에 있어서, 의심되는 실패 벡터들의 수와 회로 분석을 위해 요구되는 시간 사이에 적합한 균형을 획득하기 위하여 상기 회로 시뮬레이션을 수정할 필요가 있을지도 모른다.

설계 역할에 있어서, 시뮬레이션 모델들은 의심되는 실패 네트리스트 노드들의 최소 수를 발견할 필요가 있는 만큼의 계산 시간을 사용하는 것으로 의도된다. 예를 들어, 회로 설계자가 하나의 실패한 다이(die) 형의 시뮬레이션 모델을 실행하는 것은 하나 또는 2개의 의심되는 실패 벡터들을 생성하기 위해 수분 내지 한시간까지 걸린다. 이러한 동작 방법은, 상기 회로 분석 툴이 일반적으로 회로 설계와 검증에서 맡는 역할과 일치한다. 생산 웨이퍼 가공 공장(fab)내의 기능 테스트 데이터를 번역하기 위하여 상기 시뮬레이션 모델을 적용시키는 것은, 의심되는 네트리스트 노드들의 출력 데이터스트림이 상기 회로 설계와 검증 역할에서 보다 더 높아지는 원인이 된다. 논리 맵핑을 경유하여 실시간 실패 정보를 제공하기 위하여, 비록 그것이 의심되는 실패 노드들의 리스트가 더 많아질 것(예를 들어, 3 내지 10 노드들까지)이라는 것을 의미할지라도, 생산 웨이퍼 가공 공장에서 실행되는 상기 시뮬레이션 모델은 1분내에 실패한 다이를 진단할 수 있어야 한다.

게다가, 생산 사용을 허용하기 위하여, 상기 시뮬레이션 모델은 배치 모드 또는 백그라운드 모드에서 실행되도록 적응된다. 그것에 의해 테스트 데이터의 불간섭적인, 계속적인 처리 및 결과들의 전사적인(enterprise-wide), 실시간 분배가 달성된다.

배치 모드에서 동작할 때, 상기 시뮬레이션 모델의 출력은 표준 결합 파일 포맷으로의 변환을 위해 번역기로 계속해서 향한다. 적합한 번역기가 본 양수인, 나이트 테크놀로지(Knights Technology)의 멀린(Merlin) 캐드(CAD) 네비게이션 프레임워크 소프트웨어에 의해 제공된다. 상기 프레임워크 소프트웨어는 상기 웨이퍼를 위한 레이아웃 데이터를 사용하여 의심되는 실패 노드들의 출력 데이터스트림을 물리적인 비트맵 파일로 변환한다. 또한, 상기 프레임워크 소프트웨어는, 도 7에 도시된 바와 같이, 상기 물리적인 비트맵이 레이아웃 트레이스(trace)로서 상기 장치 레이아웃 상에 오

버레이될지도 모른다. 상기 레이아웃 트레이스는 포토마스크들이 존재하는 만큼 많은 차원들로 디스플레이될지도 모른다. 바람직하게는, 상기 의심스러운 실패 네트리스트 노드들의 각 포토마스크 레벨의 트레이스는, 인라인 결함 데이터와의 정확한 상관관계가 만들어질 수 있도록 분리된 파일로 출력된다(즉, 금속 결함들은 상기 금속 포토마스크에서의 의심되는 노드들의 실패 트레이스와 비교될 수 있다).

상기 물리적인 비트맵 파일은 본 양수인의 수율 관리자 툴과 같은 다양한 수율 관리 툴들로 보내질지도 모른다. 수율 관리 툴들은 다양한 명시화 옵션들, 예를 들어, 결함 웨이퍼맵들, 비트맵들 및 차트들을 제공한다. 도 8에 도시된 예의 킬율 차트들(kill ratio charts)은 논리 비트맵 실패들에 대한 검출 매치들(matches)의 정도를 평가하는 데 유용하다. 도 9에 도시된 예의 비트맵 실패 강도 스택맵들은 실패하기 쉬운 레이아웃의 영역을 제안할 수 있다.

원한다면, 비트맵 데이터는 검출 데이터를 위한 어떤 다양한 표준 출력 포맷, 예를 들어, KLA 포맷, ESDA 포맷, 등으로 출력될지도 모른다. 이러한 방식으로, 논리 맵핑 데이터와 인라인 테스트 데이터는 다른 처리를 위해 공통 포맷으로 수집될지도 모른다.

상기 논리 맵 프로세스의 대안적인 표시가 도 10에 도시된다. 테스트된 각 다이를 위한 데이터로그들이 서버(예를 들어, 고속스캔, 썬라이즈, 등과 같은 ATPG 소프트웨어 패키지를 실행하는 유닉스 서버)로 보내진다. 칩이 기본적인 실패를 경험한다면, 상기 칩을 위해 획득된 데이터로그는 사용할 수 없다. 그러나, 전형적으로 상기 데이터로그들의 큰 단편은 사용될 수 있다. 상기 서버는 이들 데이터로그들을 적합한 시뮬레이션 포맷으로 번역한다. 논리 맵은 실패 네트리스트 노드들의 X, Y 좌표들을 발생하기 위해 상기 번역된 데이터로그들과 설계 데이터를 사용한다. 하기에 더 충분히 설명되는 바와 같이, 상기 논리 매퍼(mapper)에 의해 사용된 상기 설계 데이터는 예를 들어, GDSII 레이아웃 파일들로부터의 입력, 네트리스트 데이터 및 LVS(Layout Versus Schematic) 데이터를 포함할지도 모른다. X, Y 좌표 데이터가 획득된 후, 상기 X, Y 좌표 데이터는 실패 분석과 수율 분석 모두를 위해 사용될지도 모른다. 실패 분석이 보통 다소 오래걸리는 프로세스인데 반하여, 수율 분석은 실시간 데이터 요구사항들을 가진다. 상기 논리 맵 프로세스는 하기에 설명되는 바와 같이 이들 실시간 데이터 요구사항들을 만족한다.

도 11을 참조하면, 본 발명의 일 실시예에 의한 논리 맵 시스템의 도면이 도시된다. 도 10과 관련하여 이전에 설명된 바와 같이, 테스트된 각 다이를 위한 데이터로그들은, 상기 데이터로그들의 단편이 적합한 시뮬레이션 포맷으로 번역되는 서버(예를 들어 고속스캔, 썬라이즈, 등과 같은 ATPG 소프트웨어를 실행하는 유닉스 서버)로 보내진다. 논리 맵은, 실패 네트리스트 노드들의 X, Y 좌표들을 발생시키기 위하여 번역된 데이터로그들과 설계 데이터를 사용한다. 상기 정보는 나이트 테크놀러지의 수율 관리자와 같은 수율 관리 툴의 데이터 베이스에 저장될지도 모른다.

상기 논리 맵 번역기는 인입되는 진단 리스트들을 표준 결함 데이터 포맷으로 변환한다. 상기 결과적인 진단 데이터는 상기 수율 관리자 데이터 베이스내의 인라인 검사 데이터와 결합된다. 예시적인 실시예에서, 상기 수율 관리자 데이터 베이스는 인라인 결함 데이터와 논리 맵 데이터를 오버레이시키는데 사용된다. 일단 상기 인라인 결함 데이터와 상기 논리 맵 데이터가 공통 데이터 베이스 상의 공통 포맷으로 존재하면, 고급(예를 들어, 윈도우즈 NT) 개인용 컴퓨터들 상에서 실행하는 수율 관리자 클라이언트와 같은 클라이언트 소프트웨어가 다양한 방법, 예를 들어 웨이퍼맵들, 차트들, 레이아웃, 등으로 데이터의 명시화를 가능하게 하는데 사용될지도 모른다. 더욱이, 데이터는 데이터 공유를 용이하게 하기 위하여 다양한 파일 포맷들로 보내질지도 모른다.

전술된 바와 같이, 일단 상기 실패 네트리스트 트레이스가 표준 결함 파일 포맷으로 번역되면 많은 오버레이와 가시적인 도움이 유용하다. 결함 매칭은 결함들(인라인)로부터 논리 매퍼 트레이스 상의 어떤 지점까지의 사용자 정의 근접 환경 상에 근거하여 수행될지도 모른다. 수율 관리 툴들은 매칭전에 결함들을 제거하기 위하여 결함 데이터를 프리필터

링하는데 사용될 수 있다. 제품 - 상호관련 히트들(hits)을 가진 결함들은 예를 들어, FIB(Focussed Ion Beam) 네비게이션 및 역공정(de-processing)을 위한 캐드 네비게이션 프레임워크로 다시 보내질 수 있다. 히트들인 상기 결함들은 어떤 결함 형태들이 가장 치명적일 가능성이 있는지를 결정하기 위해 그리고 결함 크기 또는 강도 분산과 같은 다른 중요한 특성들을 결정하기 위해 그룹으로서 선택적으로 분석될 수 있다. 테스트 데이터를 사용하는 방법의 새로운 패러다임이 결과로서 생긴다.

예

논리 맵은 텍사스 인스트루먼트(Texas Instruments) 생산 라인 상에서 구현되었다. 특정 구현의 상세한 것은 도 12에 도시된다. 도 12의 레이아웃은, 수행된 동작들이 중앙 열에 표시되고 데이터(또는 프로그램) 입력들이 좌측 및 우측면 열들에 표시되도록 한 것이다. 도면의 상부는 전기적 진단 흐름에 관련된다. 종래의 전기적 진단 흐름(도 2)에 비해 도 12에서 패키징된 장치들 보다 웨이퍼들이 테스트된 것에 주목하라. 테스트 프로그램은, 종래의 생산 라인에서와 같은 단순한 "진행/비-진행(go/no-go)" 데이터보다 상세한 실패 데이터를 획득하기 위해 수정된다. 다이 해독 테이블과 해독 번역기는, 웨이퍼 상의 특정 다이와 관련된 테스트 데이터가 상기 수율 관리자 데이터 베이스내의 정확한 다이 좌표들에 매핑된다는 것을 보증하기 위하여 각 장치 형태를 위해 개발된다.

상기 도면의 하부는 상기 논리 맵 프로세스 흐름에 관련된다. 진단 데이터는 다각형(polygon) 파일 발생기에 의해 독출가능한 포맷으로 번역된다. 상기 다각형 파일 발생기는 상기 번역된 진단 데이터를 독출하고 다각형 파일들을 발생시키기 위해 이전에 획득된 상기 데이터 베이스(도 4)에 대해 그것을 처리한다. 이들 다각형 파일들은 바라던 포맷의 표준 결함 파일들을 획득하기 위하여 차례로 번역될지도 모른다.

본 발명이 본 발명의 사상 또는 필수적인 특성을 벗어나지 않고 다른 특정 형태들로 구현될 수 있다는 것은 당업자에 의해 이해될 것이다. 그러므로, 본 개시된 실시예들은 모든 점에서 예시적이고 제한하지 않는 것으로 간주된다. 본 발명의 범위는 전술한 설명 보다는 첨부된 청구항들에 의해 표시되고, 본 발명의 균등물들의 의미와 범위내에 오는 모든 변경들은 그안에 포함되는 것으로 의도된다.

(57) 청구의 범위

청구항 1.

반도체 집적 회로들의 테스트에 있어서의 자동화된 결함 국소화 방법에 있어서,

일반화된 실패 데이터를 획득하기 위하여 상기 집적 회로들을 테스트하는 단계;

상기 일반화된 실패 데이터를 회로 분석 툴에 입력하는 단계;

상기 회로 분석으로부터 제1 국소 유망 결함 데이터를 획득하는 단계;

제2 국소 유망 결함 데이터를 획득하기 위하여 상기 집적 회로들의 인라인 검사를 수행하는 단계; 및

상기 제1 및 제2 국소 유망 결함 데이터를 상관시키는 단계를 포함하는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 2.

제1항에 있어서, 상기 일반화된 실패 데이터를 회로 분석 툴에 입력하는 단계와 상기 회로 분석으로부터 제1 국소 유망 결함 데이터를 획득하는 단계는, 적어도 하나의 프로그램된 컴퓨터를 사용하여 실질적으로 연속적으로 수행되는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 3.

제1항에 있어서, 상기 제1 및 제2 국소 유망 결함 데이터를 상관시키는 단계는 상기 제1 및 제2 국소 유망 결함 데이터의 가시적인 오버레이를 생성하는 단계를 포함하는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 4.

제1항에 있어서, 상기 집적 회로들은 내장된 자체시험 능력을 가진 논리 회로들인 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 5.

제1항에 있어서, 상기 일반화된 실패 데이터는 상기 집적 회로들의 라인끝 시험을 사용하여 획득되는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 6.

제5항에 있어서, 상기 집적 회로들은 웨이퍼 형태로 테스트되는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 7.

제1항에 있어서, 상기 회로 분석으로부터 제1 국소 유망 결함 데이터를 획득하는 단계는,

물리적인 결함 데이터를 획득하기 위하여 상기 논리적인 결함 데이터가 처리되는 데이터 베이스를 생성하는 단계; 및

물리적인 결함 데이터를 획득하기 위하여 상기 데이터 베이스에 대해 상기 논리적인 결함 데이터를 처리하는 단계를 포함하는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 8.

제7항에 있어서, 상기 데이터 베이스를 생성하는 단계는 설계 정보를 제1 포맷에서 제2 포맷으로 번역하는 단계를 포함하는 것을 특징으로 하는 자동화된 결함 국소화 방법.

청구항 9.

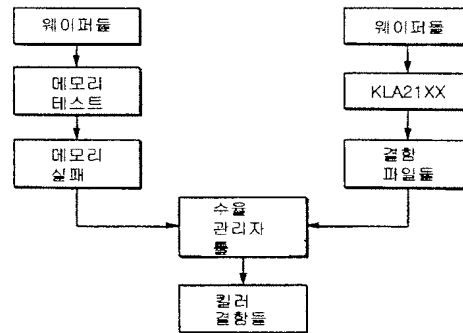
반도체 집적 회로들을 테스트하기 위한 시스템에 있어서,

회로 분석 툴; 및

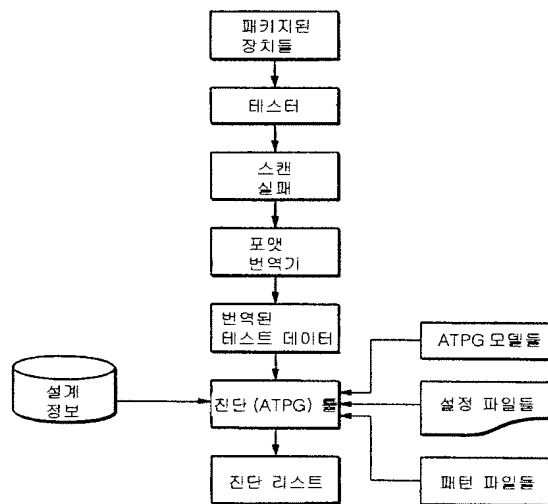
일반화된 실패 데이터를 상기 회로 분석 툴에 자동으로 인가하고, 상기 회로 분석 툴로부터 국소 유망 결함 데이터를 자동으로 획득하며, 상기 국소 유망 결함 데이터를 표준 포맷으로 자동으로 나타내고, 상기 국소 유망 결함 데이터를 다중 클라이언트 기계들에 액세스 가능한 데이터 베이스 서버 상에 자동으로 저장하는 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로들을 테스트하기 위한 시스템.

도면

도면 1



도면 2



도면 3

장치 ID = DEMO1D
 로트 ID = TESTLOT01
 웨이퍼 ID = 01
 다이 = -4, 0
 데이터로그, 스캔, 10 진단 요약, # 실패_패턴 = 9 # 결함들 = 2
 # 알 수 없는 실패들 = 2
 알수없는 패턴들 = 212 250

결함에 대한 실패 후보들 1, # 설명되는 실패 패턴들 = 5

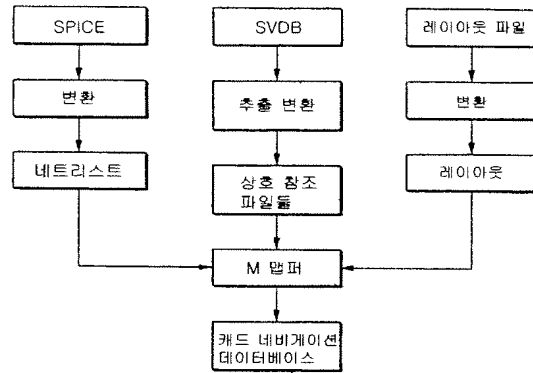
경고 : 실패 후보들은 통과한 패턴들을 실패하게 할 것임.
 설명되는 실패 패턴들 = 322 706 738 770

유형 코드 핀_경로명

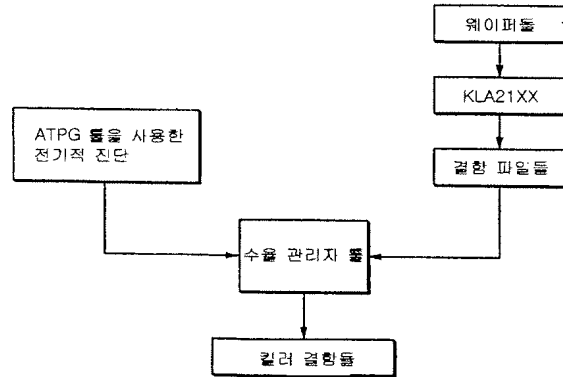
1	DS	/XTIO_0/XTTL18_1612/N2_23
1	DS	/PI9

진단 CPU 타임 = .68 초

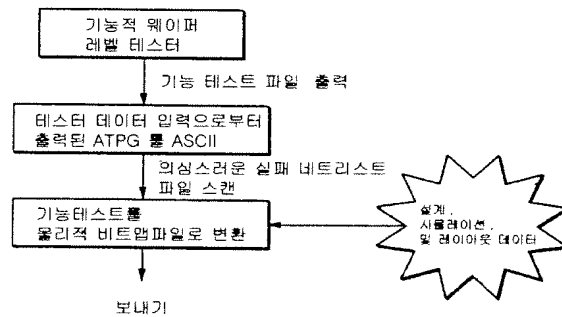
도면 4



도면 5



도면 6



도면 7

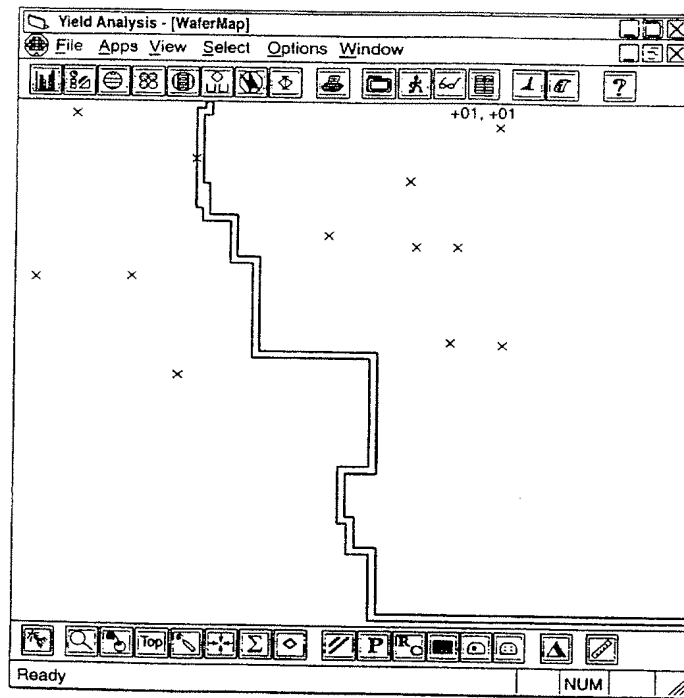
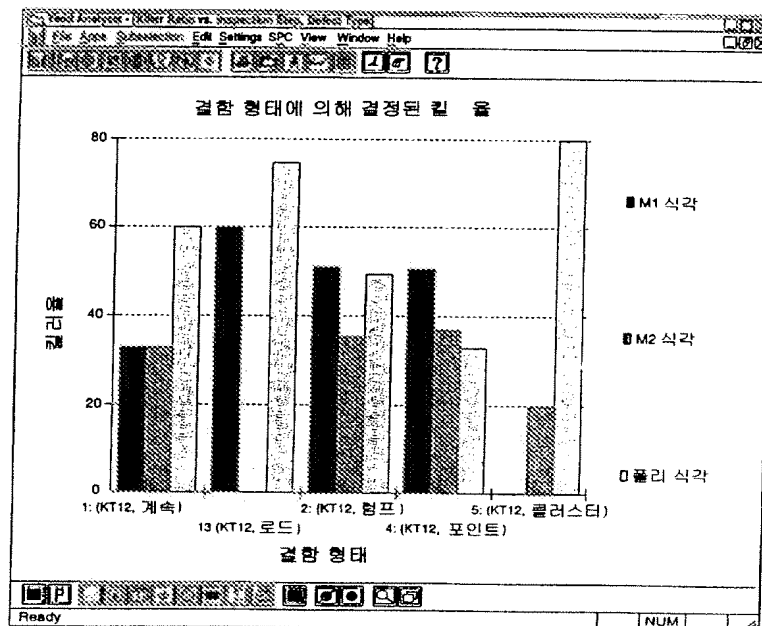
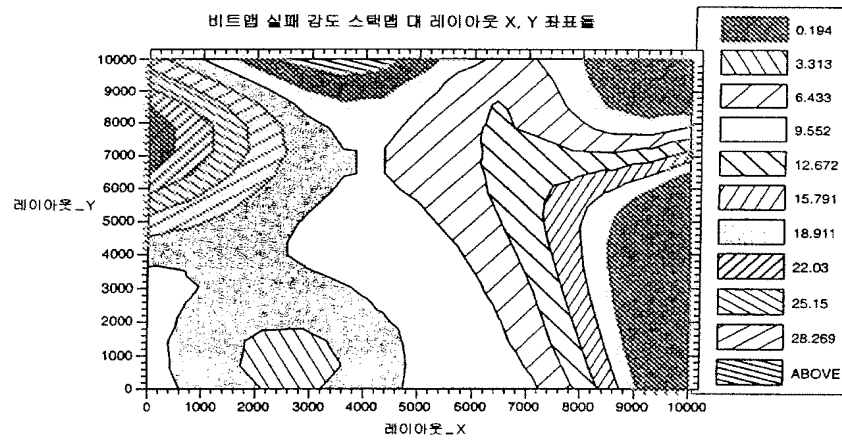


FIG._7

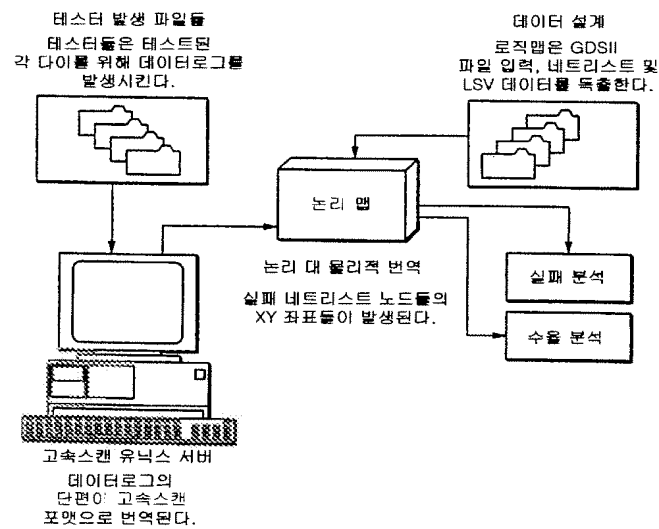
도면 8



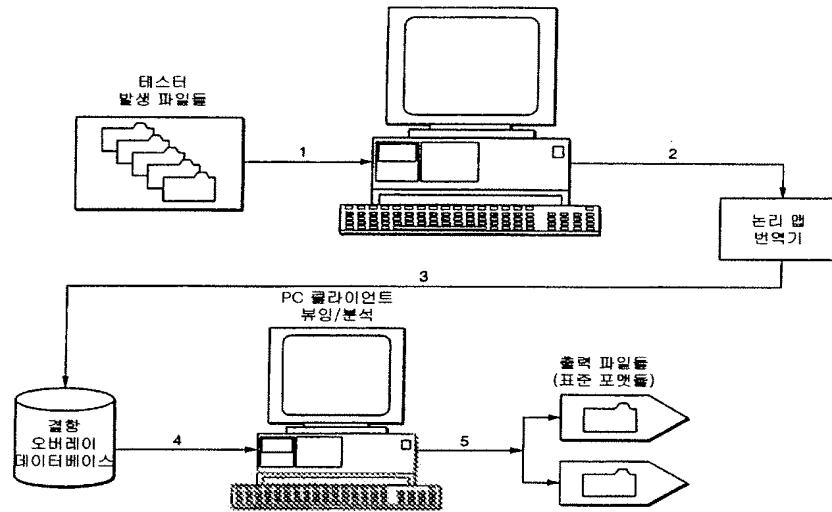
도면 9



도면 10



도면 11



도면 12

